

## ABSTRACT OF TW 531854

The present invention provides a method for forming wafer level package. The wafer level package comprising: a plurality of dies formed on the wafer; an I/O metal pad formed on the first surface of the wafer; and coating a photo sensitive polymer, on the first surface of the wafer, then a portion of the film is removed by laser. In the next step, coating a first photoresist on the second surface of the wafer. Forming a first conductive layer in the opening of the photo sensitive polyimide and then covering a I/O metal pad. Next, forming a seeding layer with copper on the top of the first conductive layer and on the photo sensitive polymer; and forming a second photoresist on the seeding layer to define the circuit pattern diagram. Then, forming a second conductive layer to the circuit pattern diagram located on the defined area of the second photoresist. Removing the second and the first photoresist and the seeding layer covered by the second photoresist, thus forming trenches between each of the packaging entity. Then, the filling material was filled into the trench and covered the circuit pattern diagram. The filling material comprises epoxy. Then, executing the grinding process to grind the second surface of the wafer to expose the filling material. Next, executing an opening step to expose a portion of the circuit pattern diagram to define an area that formed by the conductive convex block. Executing a solder screen printing step to form a solder area, then, reflowing this area to form a conductive bump.

申請日期：	90.4.25	年 月 日	修正
類別：	1301-2362	案號：	90123655
(以上各欄由本局填註)		年 月 日	修正 補充

## 發明專利說明書

531854

一、 發明名稱	中文	晶圓型態擴散型封裝之製程
	英文	
二、 發明人	姓 名 (中文)	1. 楊文焜 2. 楊文彬
	姓 名 (英文)	1. 2.
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市仙水里18鄰安康街6巷47號 2. 新竹市竹蓮街112號
三、 申請人	姓 名 (名稱) (中文)	1. 裕沛科技股份有限公司
	姓 名 (名稱) (英文)	1. Advanced Chip Engineering Technology Inc.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣湖口鄉光復北路65號
	代表人 姓 名 (中文)	1. 楊文焜
	代表人 姓 名 (英文)	1.



## 四、中文發明摘要 (發明之名稱：晶圓型態擴散型封裝之製程)

本發明是一種半導體封裝技術，特別是有關於利用擴散型(fan out)晶圓型態封裝製程製作封裝之方法。本發明包含切割晶粒後，經過篩選，將晶粒黏著於玻璃底座上，再將黏於晶粒上的金屬墊的I/O接頭透過特殊材質與方式，將I/O接頭植球的位置，以擴散型(fan out)方式，將接觸點往外擴散到晶粒的邊緣甚至晶粒的外圍，此種接觸點往外擴散，由於有較大的範圍來植入I/O植球，因此，一來可以增加I/O植球的數目，增加更多I/O接觸點，二來可以減少由於接觸點距(pitch)過於接近所造成訊號干擾(signal coupling)及鋸錫接頭過於接近時造成的鋸錫橋接(solder bridge)問題。本發明的特徵是延用原來之封裝機台，不需額外花費，同時，本發明可以應

## 英文發明摘要 (發明之名稱：)

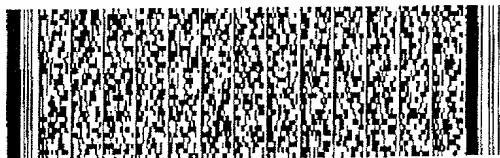


中華民國  
專利申請書

## 四、中文發明摘要 (發明之名稱：晶圓型態擴散型封裝之製程)

用到 8 吋與 12 吋晶圓的封裝過程，又可以包含到晶粒與電容以及多晶粒 (multi-chip) 或多種 被動元件，例如中央處理器、DRAM, SRAM 等等在封裝底座的封裝過程。此外，由於所選用的底做為玻璃底座，不會產生減少不同層之間，由於材質使用的不同所引發的應力不平衡問題，增加其可靠度。

## 英文發明摘要 (發明之名稱：)



531854

案號 00123655

年 月 日 修正

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

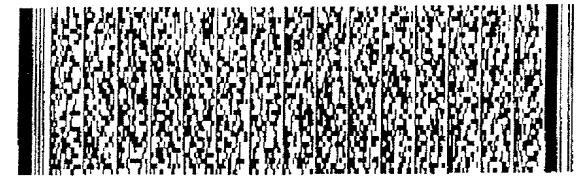
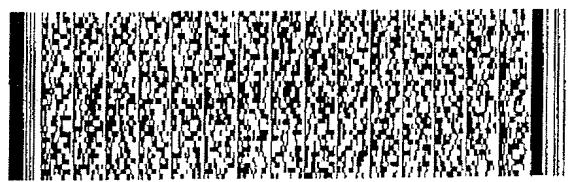
## 發明領域：

本發明與一種半導體封裝有關，特別是有關於利用擴散型 (fan out) 晶圓型態封裝製程製作封裝之方法。

## 發明背景：

隨著電子元件尺寸的縮小化後，在積體電路的製造過程上出現許多新挑戰。且由於電腦以及通訊技術之蓬勃發展，伴隨需要的是更多不同種類與應用之電子元件。例如，由語音操作之電腦界面或其他通訊之界面均需要許多之記憶元件以及不同類型之半導體元件。是故，積體電路之趨勢仍然會朝向高積集度發展。隨著半導體技術之快速演進，電子產品在輕薄短小、多功能速度快之趨勢的推動下，IC半導體的I/O數目不但越來越多密度亦越來越高，使得封裝元件的引腳數亦隨之越來越多，速度的要求亦越來越快。半導體晶片通常個別地封於塑膠或陶瓷材料之封裝體之內。封裝體之結構必須可以保護晶片以及將晶片操作過程中所產生之熱散出，傳統之封裝亦被用來作為晶片功能測試時之用。

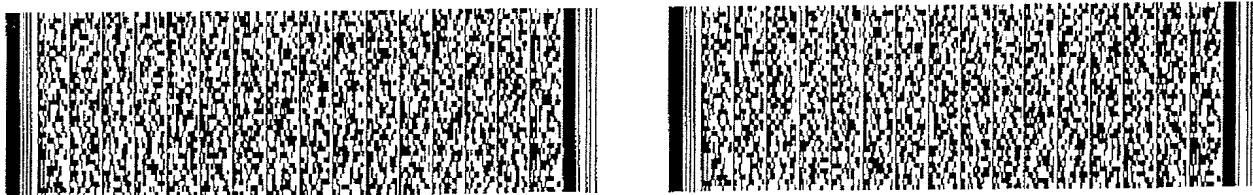
早期之封裝技術主要以導線架為主之封裝技術，利用引腳作為訊號之輸入以及輸出。而在高密度輸入以及輸出端之需求之下，導線架之封裝目前已不符合上述之需求。目前，在上述之需求之下，封裝也越做越小以符合目前之趨勢，而高密度輸出/輸入端 (I/O) 之封裝也伴隨球矩陣排



## 五、發明說明 (2)

列封裝技術 (ball grid array; 以下簡稱 BGA封裝) 之發展而有所突破，因此，IC半導體承載的封裝趨向於利用球矩陣排列封裝技術 (BGA)。BGA構裝的特點是，負責 I/O的引腳為球狀較導線架封裝元件之細長引腳距離短且不易受損變形，其封裝元件之電性的傳輸距離短速度快，可符合目前及未來數位系統速度的需求。例如，於美國專利 U. S. Patent No. 5629835，由 Mahulikar 等便提出一種 BGA之結構，發明名稱為 "METAL BALL GRID ARRAY PACKAGE WITH IMPROVED THERMAL CONDUCTIVITY"。又如美國專利 U. S. Patent No. 5,239,198 揭露一種封裝形式，此封裝包含一組裝於印刷電路板上之基板，基板利用 FR4材質組成，該基板上具有一導電線路形成於基板之一表面。

此外，目前已經有許多不同型態之半導體封裝，不論是哪一種型態之封裝，絕大部分之封裝為先行切割成為個體之後再進行封裝以及測試。而美國專利有揭露一種晶圓型態封裝，請參閱，US5323051，發明名稱為 "Semiconductor wafer level package"。此專利在切割晶粒之前先行進行封裝，利用玻璃當作一黏合材質使得元件封於一孔中。一遮蓋之穿孔做為電性連結之通道。因此，晶圓型態封裝為半導體封裝之一種趨勢。另外所知之技術將複數晶粒形成於半導體晶圓之表面，玻璃利用黏著物質貼附於晶圓之表面上。然後，沒有晶粒的那一面將被研磨以降低其厚度，通常稱做背面研磨 (back



## 五、發明說明 (3)

grinding)。接著，晶圓被蝕刻用以分離 IC 以及暴露部分之黏著物質。

此外，以往之封裝技術領域中，I/O 鋁墊部分是接於晶粒的表面，由於晶粒面積有限，I/O 鋁墊在該有限面積下，將限制其鋁墊數目。再者，I/O 鋁墊之間距過小將會造成訊號間的耦合 (signal coupling) 或訊號間的干擾。

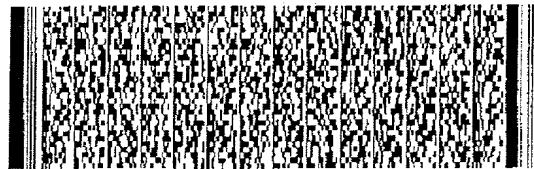
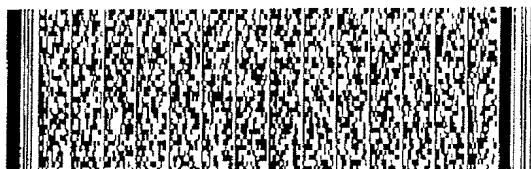
由於晶圓型態封裝將成為封裝技術之趨勢，本發明的主要特徵是取代以往晶粒表面上 I/O 植球的位置，以擴散型 (fan out) 方式，將接觸點往外擴散以提升較大的範圍來植入做為 I/O 之植球，因此，其優點包含可以增加 I/O 植球的數目，亦即增加更多 I/O，或是在晶粒朝向縮小化之趨勢下，保持 I/O 之最小間距 (pitch) 以防止過於接近所造的訊號干擾 (signal coupling) 與鋸錫接頭過於接近所造成的鋸錫橋接 (solder bridge) 問題。

## 發明目的及概述：

本發明之目的為提供一晶圓型態擴散型封裝之方法。

本發明之另一目的為提供一種晶圓型態封裝以及其製程。

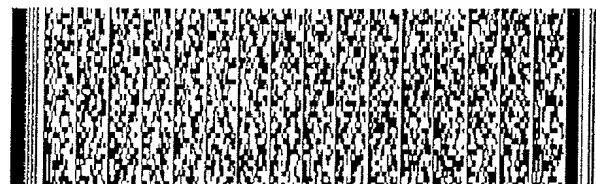
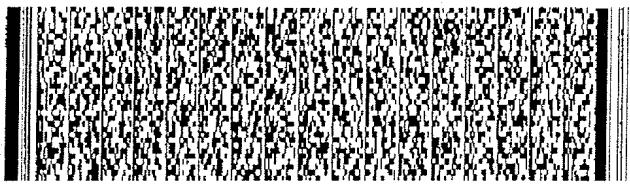
本發明之晶圓型態封裝製程包含提供，將切割過之晶圓 經過篩選通過品質管制後的晶圓，選取好的晶粒



## 五、發明說明 (4)

(die)，透過吸取與放置的動作重新排列於一新的玻璃底座。並經由黏著劑 (adhesion) 將各個晶粒黏著於上述底座上。晶粒擺至於玻璃底座上，使晶粒間的距離 (pitch) 加大，其目的是希望在後續封裝過程中多出來的空間能夠容納擴散型 (fan out) 圓錫球陣列 (ball array)。此擴散型封裝技術可以提昇 I/O 數目，或是在晶粒尺寸縮小情形下，仍保持其理想間距 (pitch) 以防止 I/O 間之訊號干擾。將進行封裝之晶圓正面 (或第一表面) 具有做為輸入輸出之金屬墊，例如鋁墊 (I/O pad or aluminum pad)，該金屬墊是做為內連線 (inter connect) 之用，而且是利用光罩 (mask) 經過校準 (alignment)、曝光與顯影 (developer) 過程形成於晶圓的上面。先行在晶圓與鋁墊的上面透過旋轉塗佈機 (spin coater) 旋塗 (spin coating) 一層 BCB 絝緣層。接著，去除部分的 BCB，形成第一開口 (opening) 以曝露出下方的金屬鋁墊。接著，於鋁墊表面形成一化鎳 / 化金 (Ni / Au) 膜層。接著，再將晶圓切割以形成個別之晶粒單體。接著，將上述之晶粒經由篩選與品質檢驗合格後經由具有吸附與放置功能的機械將晶粒配置於玻璃底座上面以黏著物固定，並予以固化。

接著，全面性地填充一層第一環氧樹脂 (EPOXY) 於玻璃底座、晶粒、BCB 與開口的鋁墊的上面。然後，經過光阻型蝕刻或化學藥劑以移除鋁墊上方的第一環氧樹脂，形成第二開口暴露鋁墊。接著，在爐 (oven) 內予以固化此第一環氧樹脂。接著，用鉛錫 (solder) 以網印 (printer) 技



## 五、發明說明 (5)

術填滿該第二開口。

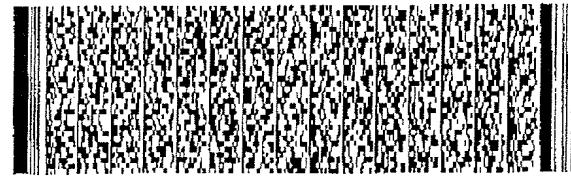
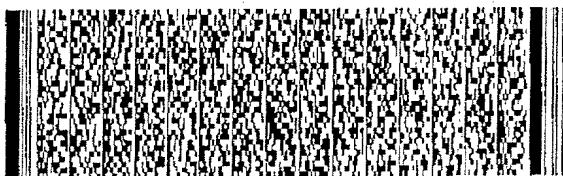
然後，再上一層鈦/銅 (Ti/Cu)於鋸錫 (solder)的上面。接著，在鈦/銅層上面以朝外擴散 (fan out)的方式，電鍍 (plating)一定面積的銅導線，銅導線的位置，一端是與鋁墊切齊，另一端以水平向方向朝外擴散 (fan out)的方式牽引導線。在定義銅導線之光阻去除前，先電鍍一化鎳或化金，之後去除光阻。然後蝕刻鈦/銅。接著，全面性地塗佈 (coating)一層第二環氧樹脂 (epoxy)於銅導線與下層環氧樹脂的上面，並以固化之步驟利用紫外線照射或加熱處理以硬化上述之第二環氧樹脂。

然後，去除銅導線上面的部分第二環氧樹脂 (epoxy)並形成第三開口，其位置儘可能位於銅導線的外側 (遠離鋁墊的一邊)以利於製作擴散型 (fan out) I/O結構。

接下來的步驟是，在第三開口上面形成一層鎳 (Ni)層，接著在第三開口處，鎳 (Ni)層的上面，透過網印技術或植球技術，植入焊錫球 (solder ball)，焊錫球經過此一封裝過程設計後的位置，並不在金屬墊的正上方，而是水平向側沿伸到金屬墊的側邊上。最後，完成切割晶粒與底座玻璃的步驟。

本發明之結構如下：

一種晶圓型態擴散型封裝包含：絕緣基座；晶粒配置於該絕緣基座之上，其中晶圓包含複數個鋁墊形成於其上；BCB層，塗佈於晶粒表面，並具有複數第一開口暴露



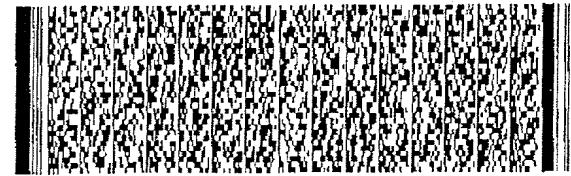
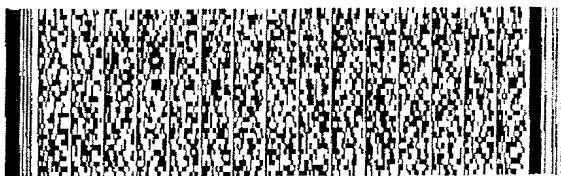
## 五、發明說明 (6)

複數鋁墊；錫填充於第一開口；第一環氧樹脂，塗佈於晶粒、絕緣基座以及BCB層之上；銅導線配置於第一環氧樹脂並與錫連接；第二環氧樹脂塗佈於銅導線之上並具有第二開口暴露部分之銅導線；錫球配置於第二環氧樹脂之上並填入該第二開口與該銅導線連接。

其中更包含銅種子層形成於第一錫之上，銅種子層包含鈦/銅(Ti/Cu)或鎳/銅(Ni/Cu)。其中更包含阻障或黏著層形成於鋁墊之上，阻障或黏著層之材質組成包含鎳/金(Ni/Au)。而錫球與該銅導線之介面包含鎳(Ni)。本發明將上述結構之封裝稱為ACE BGA。

## 發明詳細說明：

本發明揭露一種晶圓型態封裝(wafer level packaging, WLP)以及製作晶圓型態封裝之方法，詳細說明如下，所述之較佳實施例只做一說明非用以限定本發明，首先參閱圖一，將經過測試以及切割過之晶圓經過篩選通過品質管制後的晶粒，選取測試合格之晶粒(die)1a，透過吸取與放置裝置將其重新排列配置於一新的玻璃底座1(該底座可以是玻璃、陶瓷或矽晶)，並經由黏著劑(adhesion)將各個晶粒黏著於上述底座1上，該黏著劑厚度大約 $10\mu m$ ，該固化黏著劑的過程是利用旋塗機(spin coater)進行黏著動作。晶粒擺至於玻璃底座上，晶粒間



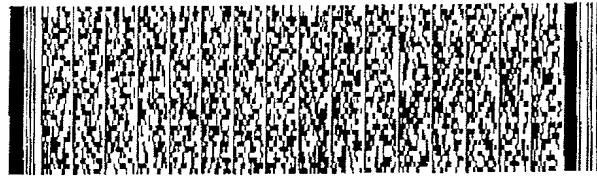
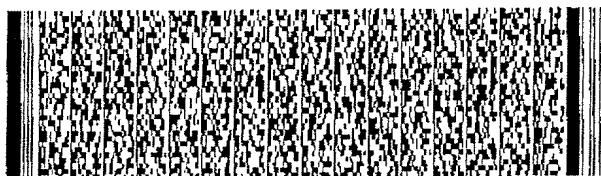
## 五、發明說明 (7)

的距離 (pitch)加大，其目的是希望在後續封裝過程中具有充足之空間能夠容納擴散型 (fan out)圓錫球陣列 (ball array)。此擴散型封裝技術可以提昇 I/O 數目，或是在晶粒尺寸縮小情形下，仍保持其理想間距 (pitch) 以防止 I/O 之間之訊號干擾。封裝的大小面積取決於後續製程完成後擴散型 (fan out) 圓錫球陣列 (ball array) 之間的間距 (pitch) 大小而定。在另一實施例中，該玻璃基座 1 上也可以包含電容 (capacitor) 1b 配置於晶粒之側，以提升濾波效果，如圖二所示。

以下所述封裝過程是從具有金屬墊 (metal pad) 的單一晶粒開始其封裝過程：

圖三中，將進行封裝之晶圓 2 正面 (或第一表面) 具有做為輸入輸出之金屬墊，例如鋁墊 (I/O pad or aluminum pad) 4，該金屬墊是做為內連線 (inter connect) 之用，利用光罩 (mask) 經過校準 (alignment)、曝光與顯影 (developer) 過程，將金屬墊形成於晶粒的上面。接著，在晶圓上透過旋轉塗佈機 (spin coater) 旋塗 (spin coating) 一層 BCB 絝緣層 8 於晶粒 2 與鋁墊 4 的上面以保護晶粒，BCB 的厚度大約為  $5-10 \mu \text{m}$ 。

接著，經過光罩 (mask) 校準 (alignment)、曝光與顯影 (developer) 過程以去除部分的 BCB 8，形成第一開口 (opening) 9 以曝露出下方的金屬鋁墊 4，值得注意的是，此切割道 (scribe line) 上亦被暴露且大於其切割道之寬



## 五、發明說明 (8)

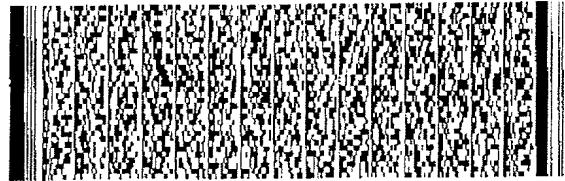
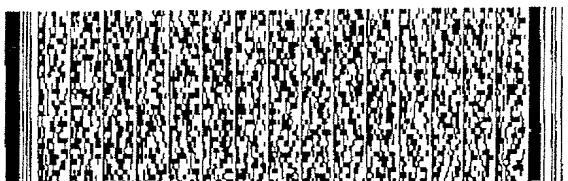
度，以利於切割時不損及 BCB，如圖四所示。之後以電鍍方式形成化鎳或化金 11於鋁墊 4之上。

經過切割，如圖五表示，將複數個晶粒 2a(此處晶圓業經切割形成晶粒)經由篩選與品質檢驗合格後經由具有吸附與放置功能的機械將晶粒 2a擺置於玻璃底座 6上面，並透過黏著劑 7黏著於玻璃底座 6上面，接著在爐(oven)內予以固化(curing)。

接著，全面性地在玻璃底座 6、晶粒 2a、BCB 8與開口的鋁墊 4的上面全面性地填充一層第一環氧樹脂(EPOXY)10。接著，如圖六至圖七所示，經過光阻型蝕刻或化學藥劑以移除鋁墊 4上方的第一環氧樹脂 10，形成第二開口 13，並曝露出下方的鋁墊 4。接著，在爐(oven)內予以固化，此第一環氧樹脂 10，其厚度大約為  $10-25\mu m$  之間(這裡的厚度指的是在晶粒表面上的厚度)。

接著，接著將剩餘的環氧樹脂，以 RIE電漿清潔晶粒 2a表面。至於上述的剩餘的環氧樹脂則以 10 表示。上述之鎳 / 金 (Ni/Au)或化鎳層 11可做為阻障層或是黏著層之功用。

接著，在鎳 / 金 (Ni/Au)或化鎳層 11上方的第二開口 13 內利用鋸錫(solder)12以網印(printer)技術填滿該第二開口 13。接著，以紅外線(IR)迴流(reflow)固化(curing)此鋸錫(solder)12，然後，全面性地濺鍍一層鈦 / 銅 (Ti/Cu)19於剩餘的環氧樹脂 10 與鋸錫(solder)12的上面，以作為銅種子層(seeding layer)，如圖八所示。



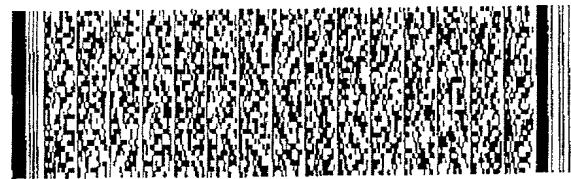
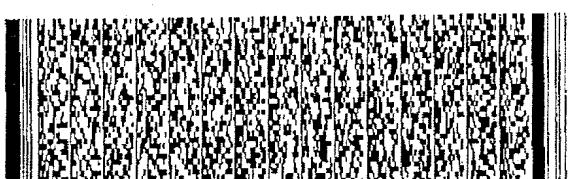
## 五、發明說明 (9)

接著，如圖九所示，以光阻(未圖示)定義銅導線圖案，利用電鍍方式形成銅導線於鈦/銅(Ti/Cu)19的上面，一端對準第二開口鋅錫12的內端(晶粒的內側邊)，而另一端以水平向方向朝外擴散(fan out)的方式(晶粒的內側邊)，明確的講，也就是說銅導線14的位置，一端是與鋁墊4切齊，另一端以水平向方向朝外擴散(fan out)來牽引導線，其與下層環氧樹脂10及鋅錫12的接觸面積較鋁墊4的開口來的大，其目的主要是用來增加I/O的植球區域面積，接著，在銅導線14上面形成一層化鎳(Ni)層或化金層17以做為後續鋅錫植球的黏著層，再移除光阻。並移除曝露於剩餘環氧樹脂10的上面部分鈦/銅(Ti/Cu)19。

接著，如圖十所示，全面性地塗佈(coating)一層第二環氧樹脂(epoxy)16於銅導線14、鎳(Ni)層17與下層環氧樹脂10的上面，並以固化之步驟利用紫外線照射或加熱處理以硬化上述之第二環氧樹脂(epoxy)，防止銅導線14被氧化。

接著，如圖十一所示，去除銅導線14與鎳(Ni)層17上面的部分第二環氧樹脂(epoxy)16並形成第三開口15，該第三開口15的位置是在銅導線14與鎳(Ni)層17的上面，且儘可能位於銅導線14的外側(遠離鋁墊4的一邊)以利於製作擴散型(fan out)I/O結構。

接著，如圖十二所示，接著在第三開口15處，鎳(Ni)層17的上面，透過網印技術或植球技術植入焊錫球(solder ball)18，由圖中明顯可見，焊錫球18經過此一



## 五、發明說明 (10)

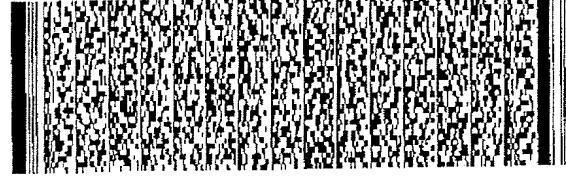
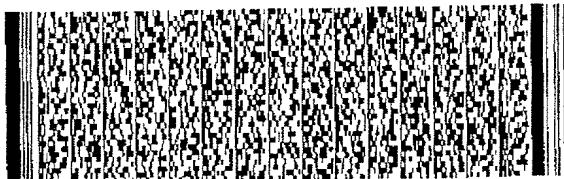
封裝過程設計後的位置，並不在金屬墊 4 的正上方，而是水平向側伸到金屬墊 4 的側邊上。

接著，如圖十三所示，再經過紅外線 (IR)迴流 (reflow) 烘烤 (curing) 環氧樹脂，晶圓再傳送至晶圓型態測試裝置中進行晶圓型態測試，例如最後測試 (final testing) 以及切割 (sawer) 過程，並切割晶粒與晶粒間切割線 (scribe line) 20 與玻璃基座 6，以分離個別之封裝體。

本發明之製程較先前技術簡單，在未分割前以晶圓型態進行測試，且在測試後可以沿著切割道切割成個別之晶粒，以吸取放置裝置被置於玻璃基板之上完成晶圓型態擴散型封裝 (wafer level fan out packaging)。

圖十四所示，為鎳 / 金 (Ni/Au) 或化鎳層 11、鈦 / 銅 (Ti/Cu) 或鎳 / 銅 (Ni/Cu) 19、鎳 (Ni) 層 17 各黏著層 (glue layer) 與阻障層，在內連線的各個位置示意圖。

圖十五所示，為單一晶粒的晶圓型態擴散型封裝 (wafer level fan out packaging) 成型的剖面圖。本發明也能將晶粒電容 2b 納入封裝過程，圖十六所示，即為電容 2b 植入到玻璃基座上與單一晶粒的晶圓型態擴散型封裝 (wafer level fan out packaging) 的成型剖面圖。在另一實施例中，本發明也能將多晶粒 (multi-chip) 或多種被動元件整合納入封裝過程，圖十七所示，即為多晶粒 (multi-chip) 的封裝過程中晶圓型態擴散型封裝 (wafer level fan out packaging) 的剖面圖，圖中 2a、2c 即代表不同之晶粒，此種封裝方式可將多晶粒與多種被動元件整合封裝，形成系



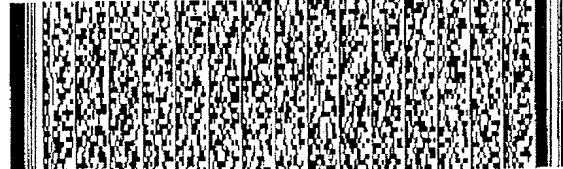
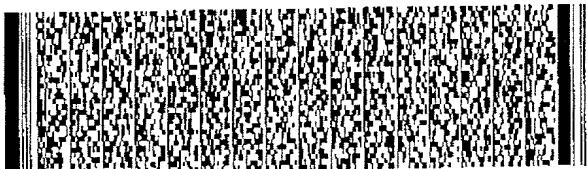
## 五、發明說明 (11)

統式封裝 (system in package)。

本發明的主要特徵是植基於晶圓型態封裝，並使用擴散型 (fan out)方式將晶粒表面上 I/O 植球的位置側向延伸，其優點可以增加 I/O 植球的數目；可以減少由於接觸點距 (pitch) 過於接近所造成的訊號干擾問題。

本發明的主要優點如下：

1. 如圖一所示，本發明之晶圓型態封裝之成本較傳統技術低，再藉由已測試及切割過之晶圓經過篩選，將通過品質管制後的晶粒，選取好的晶粒 (die)，透過吸取與放置的動作重新排列於一新的玻璃底座，可以減少製作成本完成擴散型封裝。
2. 由於尺寸縮小原則，晶粒 (chip) 亦隨之縮小，而為了使得晶粒間的距離 (pitch) 仍然保持理想的距離 (以不影響到訊號傳遞耦合為原則)，在本發明中是以晶圓型態擴散型封裝 (wafer level fan out packaging)，將 I/O 線向外擴散，並將連線拉到晶粒外的區域，以增加鋅錫圓球的數目及維持理想晶粒間的距離 (pitch)。
3. 本發明可以應用到 8 吋與 12 吋晶圓的封裝過程。
4. 本發明可以整合晶粒與電容於同一封裝單體。
5. 本發明能將多晶粒 (multi-chip) 或多種被動元件整合於同一單體，例如中央處理器、DRAM, SRAM 等等在封裝底座的封裝過程。
6. 本發明能將環氧樹脂中之鋅錫當作緩衝區 (buffer zone)，在後續製程中，減少不同層之間，由於材質使用



## 五、發明說明 (12)

的不同所引發的應力不平衡問題，增加其可靠度 (reliability)。

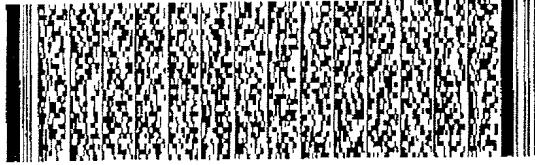
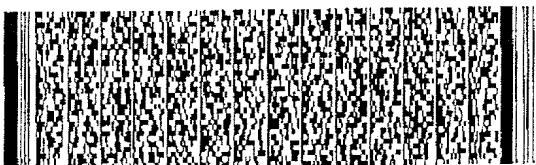
7. 本發明的底座是玻璃，其材質與晶粒底材相同，由於材質中均含有矽材質，兩者具有同樣的熱力膨脹係數 (thermal coefficient of expansion, TCE)，不會產生應力不平衡現象。

8. 本發明的底座可以使用玻璃、灰石與矽晶 (glass, ceramic, silicon) 以改善其可靠度。

9. 本發明的封裝機械都是以現有機械設備進行封裝，可以省去額外添購的費用。

10. 本發明可以增加鉛錫圓球的數目，其中有些鉛錫圓球當作樣本假輸出輸入端 (dummy ball)，此 dummy ball 雖無訊號傳遞之功能卻可供作緩衝區 (buffer zone) 以減弱不同材質間的應力，減少封裝時晶粒龜裂的現象發生。

本發明以較佳實施例說明如上，而熟悉此領域技藝者，在不脫離本發明之精神範圍內，當可作些許更動潤飾，其專利保護範圍更當視後附之申請專利範圍及其等同領域而定。



## 圖式簡單說明

## 圖式簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

圖一為晶圓級封裝單一晶粒由晶圓切割後厚擺置於玻璃底座之示意圖。

圖二為晶圓級封裝具有電容的晶粒由晶圓切割後擺置於玻璃底座之示意圖。

圖三所顯示為本發明中具有金屬墊的晶粒的表面上形成一層BCB保護層之示意圖。

圖四所顯示為本發明中去除部分BCB保護層之示意圖。

圖五所顯示為本發明中，晶粒經過吸附與放置後黏至於底座之示意圖。

圖六所顯示為本發明中，全面性地填充一層第一環氧樹脂之示意圖。

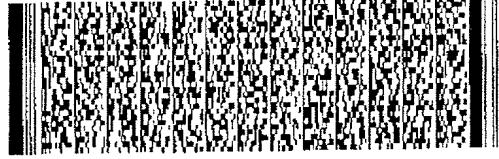
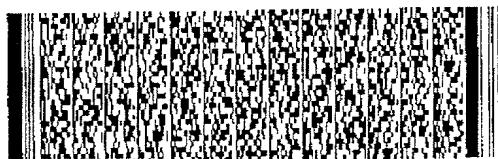
圖七所顯示為本發明中，經過光阻型蝕刻或化學藥劑以移除鋁墊上方的第一環氧樹脂之示意圖。

圖八所顯示為本發明中，用錫（solder）以網印（printer）技術填滿該第二開口之示意圖。

圖九所顯示為本發明中，顯示為透過校準、曝光與顯影電鍍（plating）一定面積的銅導線之示意圖。

圖十所顯示為本發明中，為全面性地塗佈（coating）一層第二環氧樹脂（epoxy）之示意圖。

圖十一所顯示為本發明中，去除銅導線上面的部分第二環



## 圖式簡單說明

氧樹脂(epoxy)16並形成第三開口之示意圖。

圖十二所顯示為透過網印技術或植球技術，植入焊錫球之示意圖。

圖十三所顯示為切割晶粒與晶粒間切割線與玻璃基座之示意圖。

圖十四所顯示為晶粒上各阻障層的相關位置示意圖。

圖十五所顯示為單一晶粒的晶圓型態擴散型封裝成型的剖面圖。

圖十六所顯示為電容植入到玻璃基座上與單一晶粒的晶圓型態擴散型封裝的成型剖面圖。

圖十七所顯示為多晶粒的封裝過程中晶圓型態擴散型封裝的剖面圖。

## 元件符號對照

晶粒 1a

電容 1b

晶圓 2

晶粒 2a

電容 2b

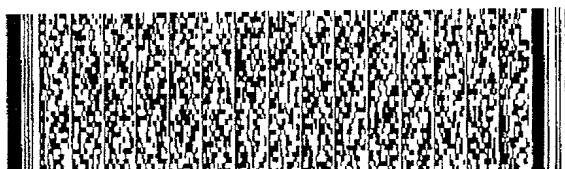
晶粒 2c

鋁墊 4

玻璃底座 6

黏著劑 7

BCB絕緣層 8



531854

案號 00123655 年 月 日 修正

圖式簡單說明

環 氧 樹 脂 10

剩 餘 的 環 氧 樹 脂 10'

化 鎳 / 化 金 11

鋅 錫 12

第 二 開 口 13

銅 導 線 14

環 氧 樹 脂 16

鎳 層 17

焊 錫 球 18

鈦 / 銅 19

晶 粒 間 切 割 線 20



## 六、申請專利範圍

## 申請專利範圍：

1. 一種晶圓型態擴散型封裝之製程，該晶圓型態擴散型封裝之製程包含：

提供具有複數晶粒形成於其上之晶圓；

測試該晶圓上之複數晶粒並標記合格之晶粒；

旋塗BCB絕緣層以保護該晶粒；

去除部分的該BCB層，形成第一開口以曝露出該晶粒上之金屬鋁墊；

切割該晶圓以分離該複數晶粒；

經篩選通過品質管制後的晶粒，透過吸取與放置的動作重新排列配置黏著於一絕緣底座之上；

全面性地填充一層第一環氧樹脂於該絕緣底座、該晶粒、該BCB與該第一開口的該鋁墊上；

蝕刻以移除該鋁墊上方的該第一環氧樹脂，形成第二開口；

固化該第一環氧樹脂；

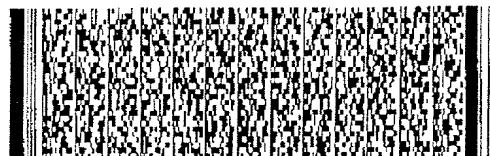
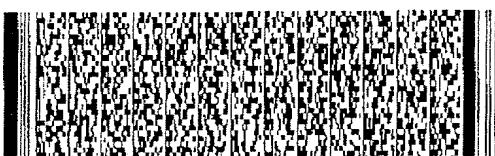
鍍一阻障層於該該鋁墊的上；

以網印 (printer) 技術用鋅錫在該阻障層上並填滿該第二開口；

形成銅種子層於鋅錫及第一環氧樹脂之上；

利用一光阻電鍍一定面積的銅導線於該鋅錫與該阻障層之上；

形成化鎳或化金於銅導線之上；



六、申請專利範圍

去除光阻；

全面性地塗佈 (coating) 一層第二環氧樹脂 (epoxy) 於該銅導線之上；

固化上述之該第二環氧樹脂；

去除該銅導線上部分該第二環氧樹脂並形成第三開口；

植入焊錫球於該第三開口；以及

切割該絕緣基座用以分離個別封裝單體。

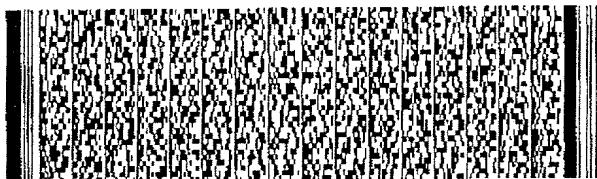
2. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，其中在形成上述銅導線之前更包含濺鍍一銅種子層於該鉀錫與該第一環氧樹脂上面。

3. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，其中該黏著晶粒於該底座的過程，更包含在爐內予以固化該黏著劑。

4. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，其中該 BCB 絝緣層之厚度大約為  $5-25\mu\text{m}$ 。

5. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，其中該蝕刻該第一環氧樹脂，以形成該第二開口的過程，是藉由光阻型蝕刻或化學藥劑進行。

6. 如申請專利範圍第 5 項之晶圓型態擴散型封裝之製程，



## 六、申請專利範圍

其中形成上述第二開口之後，更包含以 RIE 電漿清洗晶粒表面。

7. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，該阻障層之材料包含鎳 / 銅或化鎳層。

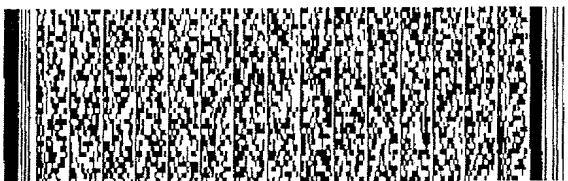
8. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，完成上述網印 (printer) 技術後，更包含以紅外線 (IR) 迴流固化該鋅錫。

9. 如申請專利範圍第 2 項之晶圓型態擴散型封裝之製程，其中上述之銅種子層包含鈦 / 銅。

10. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，其中固化該第二環氧樹脂之步驟係包含利用紫外線照射或加熱處理。

11. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，其中上述植入於該第三開口的之焊錫球係採用網印技術或植球技術。

12. 如申請專利範圍第 1 項之晶圓型態擴散型封裝之製程，其中更包含電容配置於該晶粒之側並排於該玻璃底座上。



## 六、申請專利範圍

13. 如申請專利範圍第1項之晶圓型態擴散型封裝之製程，其中更包含另一晶粒配置於該晶粒之側並排於該玻璃底座上，形成多晶粒(multi-chip)封裝結構，該另一晶粒包含但不限於CPU, DRAM, SRAM等元件。

14. 如申請專利範圍第1項之晶圓型態擴散型封裝之製程，其中上述絕緣底座包含玻璃。

15. 如申請專利範圍第1項之晶圓型態擴散型封裝之製程，其中上述絕緣底座包含陶瓷。

16. 如申請專利範圍第1項之晶圓型態擴散型封裝之製程，其中上述絕緣底座包含矽晶。

17. 一種晶圓型態擴散型封裝，包含：

絕緣基座；

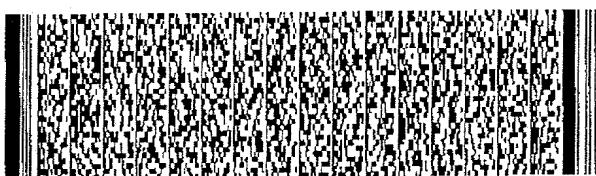
晶粒，配置於該絕緣基座之上，其中該晶圓包含複數個鋁墊形成於其上；

BCB層，塗佈於該晶粒表面，並具有複數第一開口暴露該複數鋁墊；

錫，填充於該第一開口；

第一環氧樹脂，塗佈於該晶粒、該絕緣基座以及該BCB層之上；

導線，配置於該第一環氧樹脂並與該錫連接；



## 六、申請專利範圍

第二環氧樹脂，塗佈於該銅導線之上，並具有第二開口暴露部分之該銅導線；及

錫球，配置於該第二環氧樹脂之上並填入該第二開口與該銅導線連接。

18.如申請專利範圍第17項之晶圓型態擴散型封裝，其中更包含銅種子層形成於該第一鋅錫之上。

19.如申請專利範圍第18項之晶圓型態擴散型封裝，其中上述銅種子層包含鈦/銅 (Ti/Cu)。

20.如申請專利範圍第18項之晶圓型態擴散型封裝，其中上述銅種子層包含鎳/銅 (Ni/Cu)。

21.如申請專利範圍第17項之晶圓型態擴散型封裝，其中更包含阻障或黏著層形成於該鋁墊之上。

22.如申請專利範圍第21項之晶圓型態擴散型封裝，其中該阻障或黏著層包含鎳/鋁 (Ni/Al)。

23.如申請專利範圍第17項之晶圓型態擴散型封裝，其中該錫球與該銅導線之介面包含鎳 (Ni)。

24.如申請專利範圍第17項之晶圓型態擴散型封裝，其中

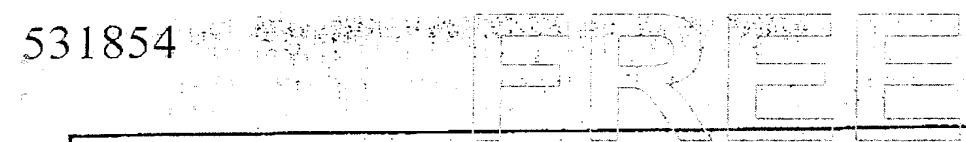


## 六、申請專利範圍

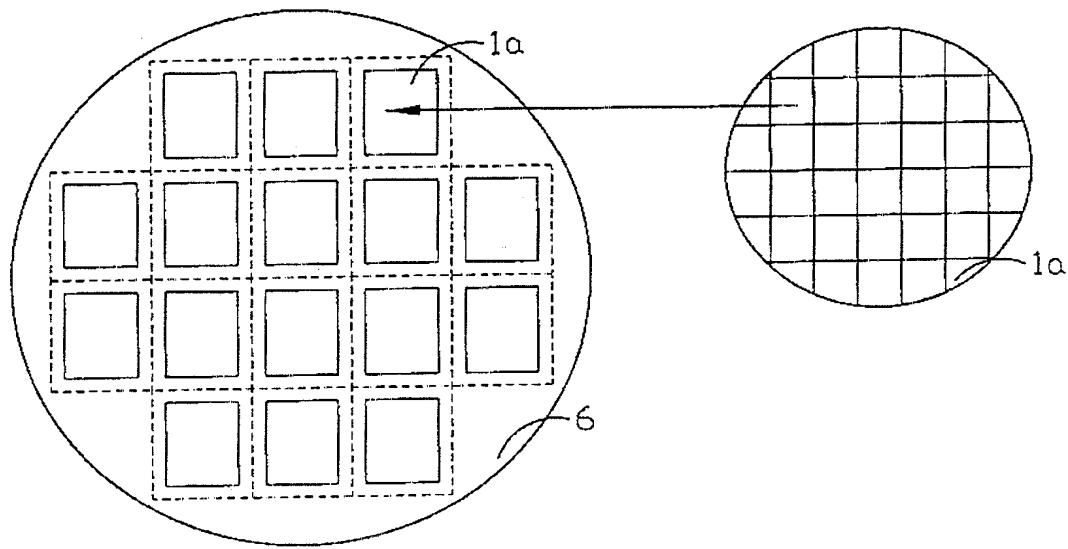
更包含一電容配置於該晶粒之側。

25.如申請專利範圍第17項之晶圓型態擴散型封裝，其中更包含另一晶粒配置於該晶粒之側。

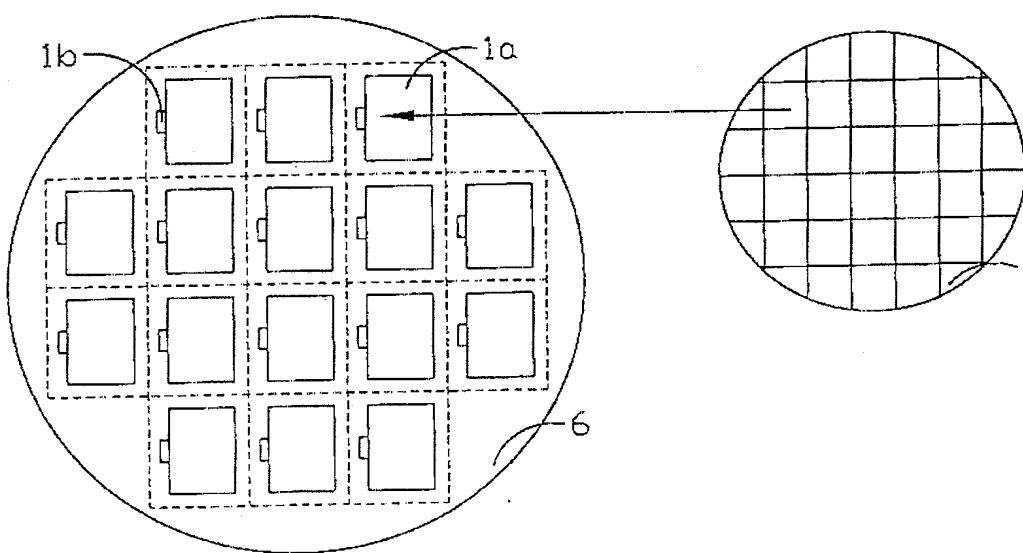




圖式

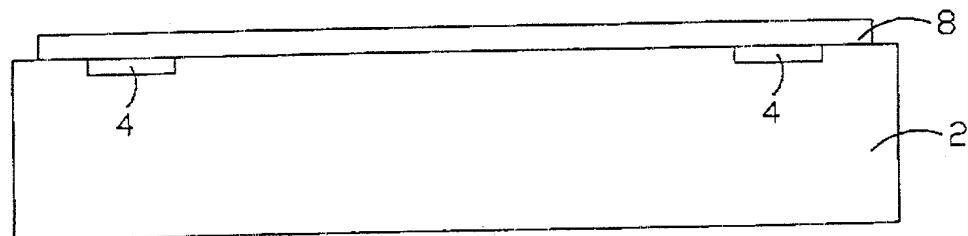


圖一

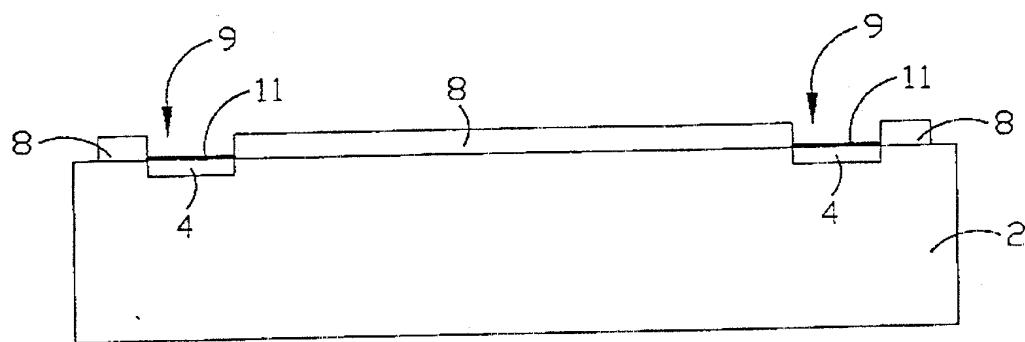


圖二

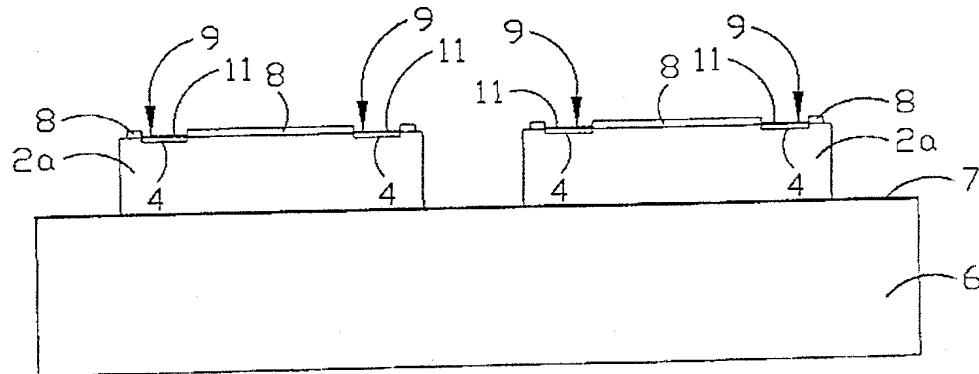
圖式



圖三

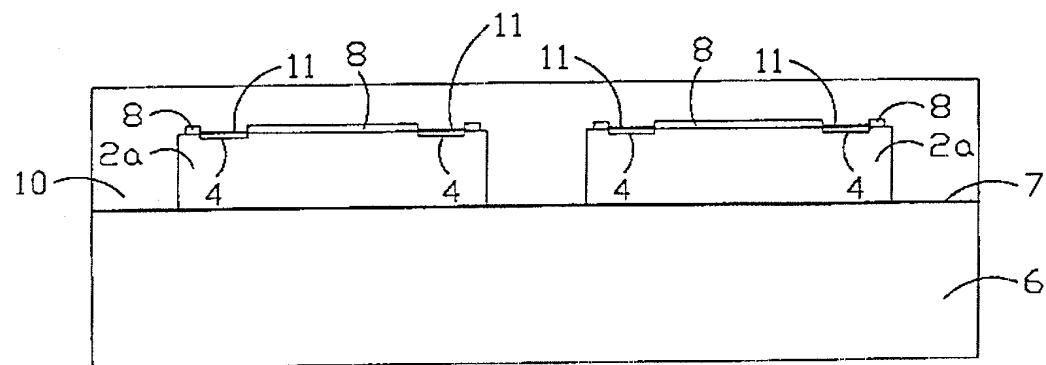


圖四

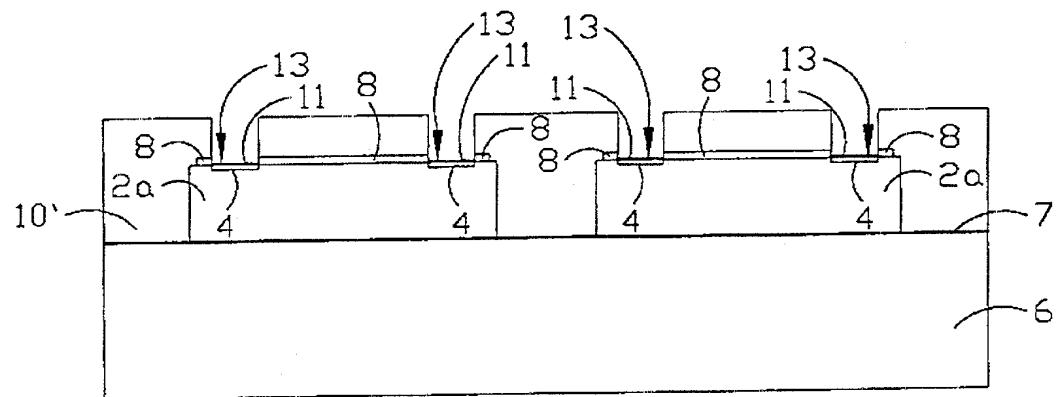


圖五

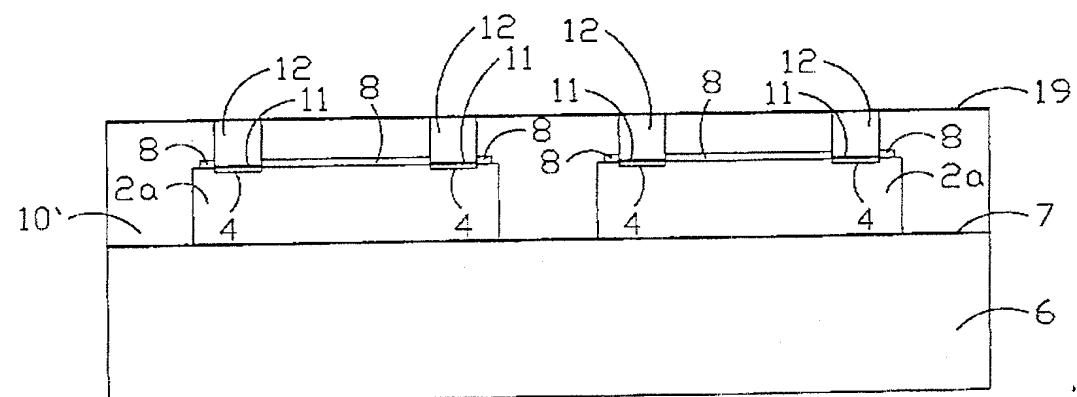
圖式



圖六

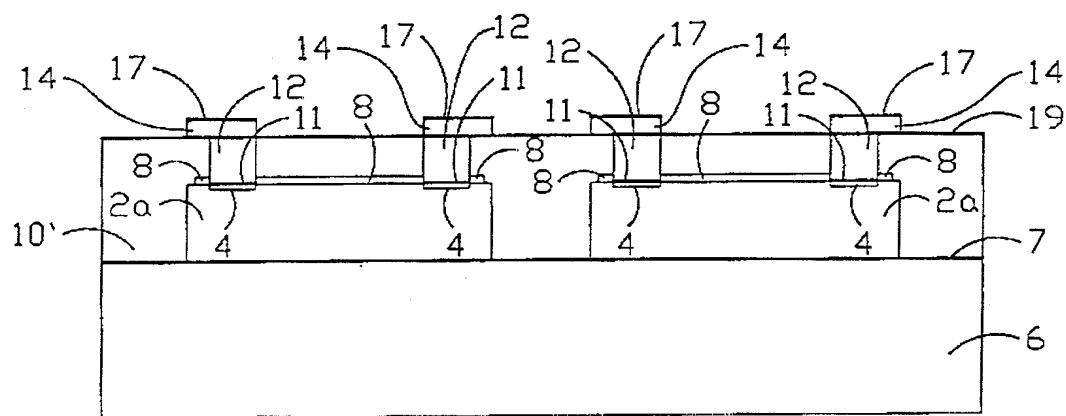


圖七

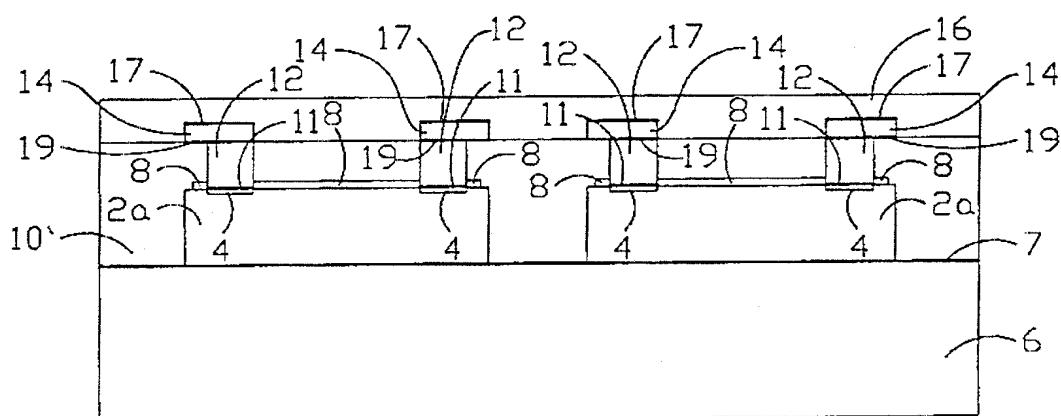


圖八

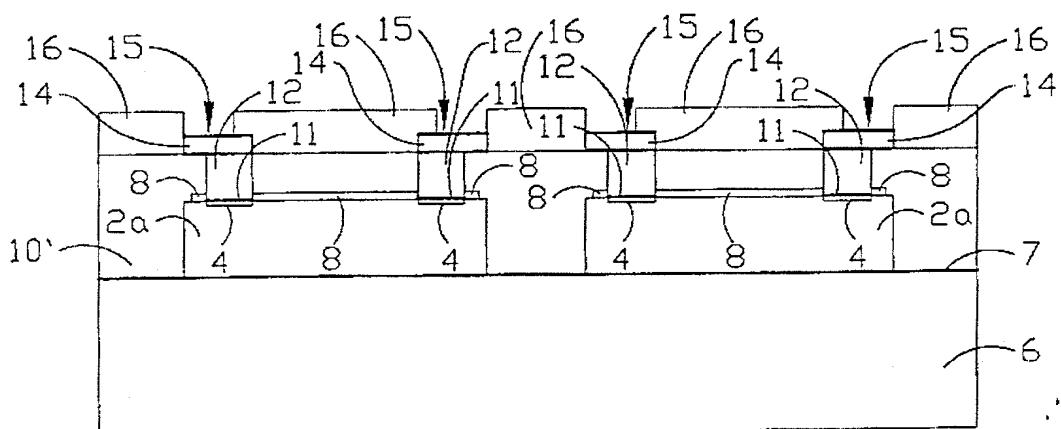
圖式



圖九

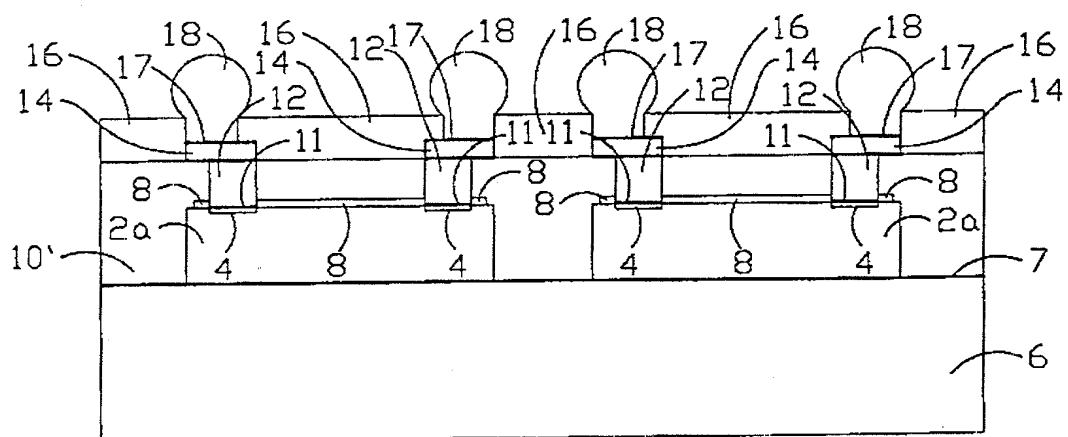


圖十

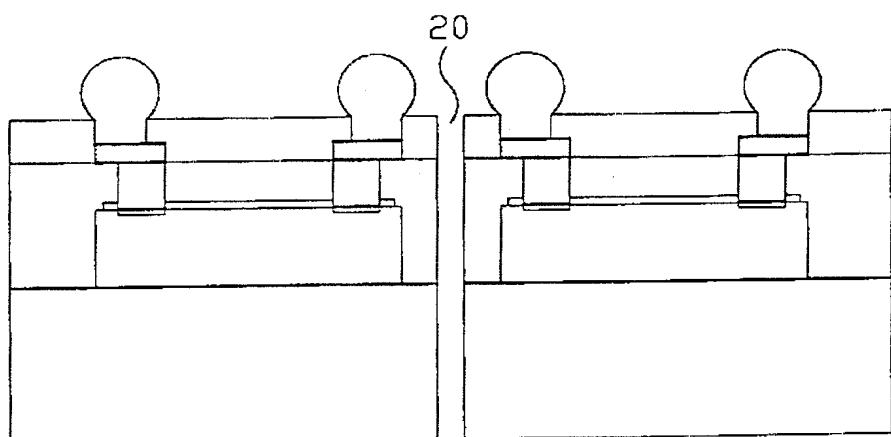


圖十一

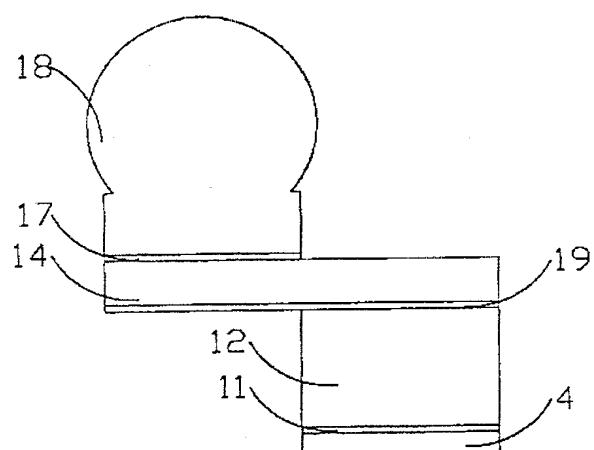
圖式



圖十二

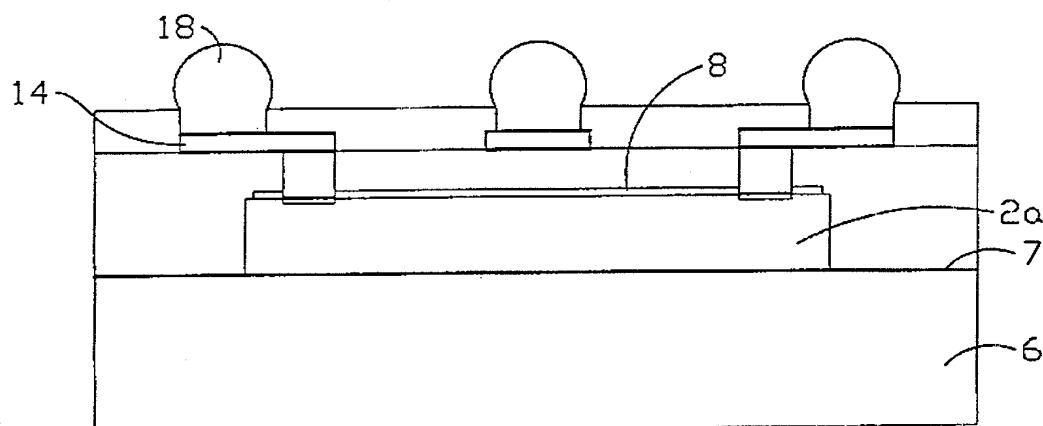


圖十三

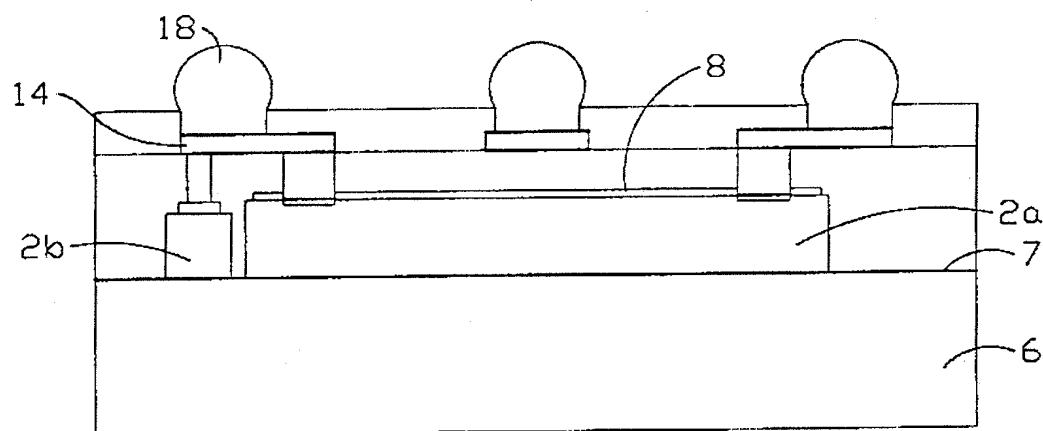


圖十四

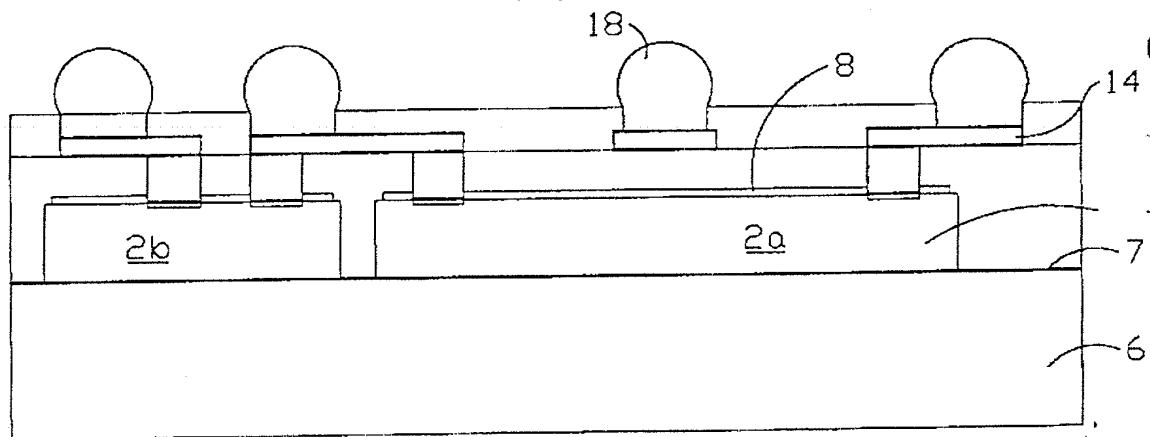
圖式



圖十五



圖十六



圖十七